

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-294949  
 (43)Date of publication of application : 26.12.1991

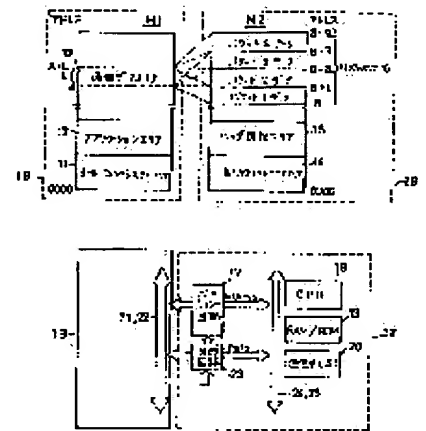
(51)Int.Cl. G06F 13/00  
 H04L 29/08

(21)Application number : 02-097225 (71)Applicant : SHARP CORP  
 (22)Date of filing : 12.04.1990 (72)Inventor : KIYOHARA TOSHIMI

**(54) HIGH SPEED COMMUNICATION BUS WINDOW CONTROLLER****(57)Abstract:**

**PURPOSE:** To shorten the processing time until a communication by mapping a specific area of a second memory map to a specific area of a first memory map, executing directly read and write to the mapped area and delivering an address pointer for showing the head of data.

**CONSTITUTION:** The controller consists of a main CPU (central processor equipment) board 1B having a memory map M1 being a first memory map, and a communication board 2B having a memory map M2 being a second memory map. In such a state, a bus window circuit 17 executes mapping of a buffer area 16 of the memory map M2 to a communication data area 13 being a specific area of the memory map M1, and the main CPU board 1B executes directly read and write to the mapped buffer area 16 and delivers an address pointer for showing the head of data. In such a way, the execution transmission efficiency of the data quantity sent out actually to a transmission line can be improved, and the processing time until a communication can be shortened.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## ⑫ 公開特許公報(A) 平3-294949

⑤ Int. Cl.<sup>5</sup>G 06 F 13/00  
H 04 L 29/08

識別記号

3 5 3 C

庁内整理番号

7368-5B

⑬ 公開 平成3年(1991)12月26日

8020-4M H 04 L 13/00 3 0 7 Z

審査請求 未請求 請求項の数 1 (全12頁)

⑭ 発明の名称 高速通信バスウインド制御装置

⑮ 特 願 平2-97225

⑯ 出 願 平2(1990)4月12日

⑰ 発 明 者 清 原 敏 視 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑱ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑲ 代 理 人 弁理士 川口 義雄 外2名

## 明 細 書

## 1. 発明の名称

高速通信バスウインド制御装置

## 2. 特許請求の範囲

階層化されたネットワークアーキテクチャの各層のプロトコルを作成する高速通信バスウインド制御装置であって、複数の領域から構成されており当該各領域に第1アドレス群から各特定のアドレスを順次書き込むことができる第1メモリマップと、複数の領域から構成されており当該各領域に第2アドレス群から各特定のアドレスを順次書き込むことができる第2メモリマップと、該第2メモリマップの特定の領域を該第1メモリマップの特定の領域にマッピングしてデータの先頭を示すアドレスポインタを受け渡すバスウインド回路とを備えていることを特徴とする高速通信バスウインド制御装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、処理装置が接続されたネットワーク

を利用する高速通信バスウインド制御装置に関する。

〔従来の技術〕

現在、ローカルエリアネットワーク(LAN)等の通信路を介して接続されたコンピュータ、画像端末、ワードプロセッサ、ワークステーション、プリントサーバ、ディスクサーバ等の処理装置(ノード)を有機的に結合するシステムが構築されつつある。

また、各階層の標準化がLANにおいて進み、ファイル転送及びジョブ転送操作などの標準化構想も固まりつつある。

一般的な階層化モデルとしては、第1表に示すような国際標準化機構(ISO)の開放型システム間相互接続またはオープンシステムインターコネクション(Open Systems Interconnection)と呼ばれている参照モデル(以後、OSI参照モデルと称する)が知られている。

このOSI参照モデルは、通信回線の制御から業務に依存する通信機能までの7つの層、すなわ

ち上位層から順次、アプリケーション層（レベル7）、プレゼンテーション層（レベル6）、セッション層（レベル5）、トランスポート層（レベル4）、ネットワーク層（レベル3）、リンク層（レベル2）、フィジカルまたは物理層（レベル1）の各プロトコルに階層化されている。

第14図は、このような従来の階層化プロトコルによる送信局と受信局との間の通信手順を示す。

送信局においては、先ず送信されるデータ59がアプリケーション層及びプレゼンテーション層のプロトコルにより作成される。

以下、順次、セッション層のプロトコルによりセッションレベルヘッダ60aがデータ59に付加されてセッション層のデータ60が作成され、トランスポート層のプロトコルによりトランスポートレベルヘッダ61aがデータ60に付加されてトランスポート層のデータ61が作成される。

更に、ネットワーク層のプロトコルによりネットワークレベルヘッダ62aがデータ61に付加されてネットワーク層のデータ62が作成される。

ーしてから受け渡す。

[発明が解決しようとする課題]

しかしながら、上記従来の方法では、同一のデータを各階層でコピーすることになり、データの格納エリアが増大し、コピー時間がプロトコル処理時間より長くなって実行速度が低下するという問題点がある。更に、ヘッダが上位層から下位層に進むにつれて増加し、転送すべき本来のデータがパケット内で圧迫される。

また、プロトコルについても各層の標準化案を完全にカバーした場合、複数のクラスのプロトコルを全てインプリメントするために、クラス毎のソフトウェアを作成せず、共通部分は同一のソフトウェアを使用しているため、クラスの数が増加するにつれてクラス選択の処理フローが頻繁に出現し、オーバヘッドが発生する。

したがって、上記従来の方法では、各層のヘッダ60a～63aが大きいので、実際に伝送路に送出されるデータ量の実行伝送効率が低下し、また、層の数が多いので通信までの処理時間が長いとい

最後に、データリンク層のプロトコルに従ってデータリンクレベルヘッダ63aがデータ62に付加されてデータリンク層のデータ63が作成される。このデータ63は、物理層で規定されたインタフェース装置と伝送メディアを介して受信局に送信される。

受信局においては、送信局において付加されたデータリンクレベルヘッダ63a、ネットワークレベルヘッダ62a、トランスポートレベルヘッダ61a、セッションレベルヘッダ60aが各層で順次除去され、アプリケーション層及びプレゼンテーション層のプロトコルによりデータ59が再現される。

また、各ヘッダ60a～63aは、受信局において制御情報として用いられる。尚、各ヘッダ60a～63aにより、多くのネットワークシステムとの接続が可能になり、将来のインタオペラビリティを持たせることができる。

この場合、各局は、モジュール化された複数のプロトコルソフトウェアがリンクするように構成され、各階層間ではそれぞれデータを実際にコピ

う問題点がある。

本発明の目的は、上記従来の問題点に鑑み、実際に伝送路に送出されるデータ量の実行伝送効率を向上することができ、通信までの処理時間を短縮することができる高速通信バスウインド制御装置を提供することにある。

[課題を解決するための手段]

本発明によれば、前記目的は、階層化されたネットワークアーキテクチャの各層のプロトコルを作成する高速通信バスウインド制御装置であって、複数の領域から構成されており当該各領域に第1アドレス群から各特定のアドレスを順次書き込むことができる第1メモリマップと、複数の領域から構成されており当該各領域に第2アドレス群から各特定のアドレスを順次書き込むことができる第2メモリマップと、該第2メモリマップの特定の領域を該第1メモリマップの特定の領域にマッピングしてデータの先頭を示すアドレスポインタを受け渡すバスウインド回路とを備えていることを特徴とする高速通信バスウインド制御装置によ

って達成される。

#### 〔作用〕

第1メモリマップが第1アドレス群から各特定のアドレスを第1メモリマップの各領域に順次書き込み、第2メモリマップが第2アドレス群から各特定のアドレスを第2メモリマップの各領域に順次書き込み、バスウインド回路が第2メモリマップの特定の領域を第1メモリマップの特定の領域にマッピングし、マッピングされた領域に直接読み書きを行ってデータの先頭を示すアドレスポインタを受け渡す。

#### 〔実施例〕

以下、図面を参照して本発明の実施例を説明する。

第1図は、本発明の一実施例における高速通信バスウインド制御装置の概念を示す説明図であり、第1メモリマップとしてのメモリマップM1を有するメインCPU（中央処理装置）ボード1B、および第2メモリマップとしてのメモリマップM2を有する通信ボード2Bのそれぞれを示す。

メモリマップM1の通信データエリア13は、バスウインド回路17（第2図参照）により通信ボード2BのメモリマップM2の特定の領域としてのバッファエリア16を透過的に示す。

即ち、バスウインド回路17がメモリマップM2のバッファエリア16をメモリマップM1の特定の領域としての通信データエリア13にマッピングし、メインCPUボード1Bがマッピングされたバッファエリア16に直接読み書きを行ってデータの先頭を示すアドレスポインタを受け渡す。

そしてメインCPUボード1BのメインCPU（図示せず）は、パケットデータのポインタをバスウインド回路17に設定するだけで、メモリマップM2のパケットデータを参照することができる。

次に、第1図における通信ボード2Bの構成を第2図に示す。

通信ボード2Bは、通信ボード2B全体の制御を行うCPU18、CPU18のプログラム等を格納するためのリードオンリメモリ（以後、ROMと称する）及び上記各エリア14、15及び16を含むラ

まず、メインCPUボード1BのメモリマップM1は、オペレーティングシステム領域11、OS参照モデルのアプリケーション領域12及び通信データ領域13の各領域（以後、領域をエリアと称する）から構成されている。上述の各エリアにおいては、オペレーティングシステムエリア11及びアプリケーションエリア12は、第1アドレス群の内のアドレス0000から順次書き込まれ、通信データエリア13は、第1アドレス群の内のアドレスAからアドレスA+Lに書き込まれる。

次に、通信ボード2BのメモリマップM2は、制御ソフトウェアエリア14、ヘッダ情報エリア15及び各パケットデータのバッファエリア16から構成されている。上述の各エリアにおいては、制御ソフトウェアエリア14及びヘッダ情報エリア15は、第2アドレス群の内のアドレス0000から順次書き込まれ、バッファエリア16は、第2アドレス群の内のアドレスBからB+L、B+2L、B+3Lを経てB+4Lに渡りそれぞれ書き込まれる。

ここで、メインCPUボード1Bのメモリマッ

ングダムアクセスメモリ（以後、RAMと称する）を有するRAM/ROM19、ネットワークを介して通信を行う通信用LSI20を備えている。

更に、通信ボード2Bは、CPU18及びメインCPUボード1Bのホストバスのアドレスバス/コントロールバス21間のアドレス制御を行うバスウインド回路17、CPU18及びメインCPUボード1Bのホストバスのデータバス22間のデータ制御を行う制御回路23、アドレスバス/コントロールバス24及びデータバス25を備えている。

次に、第2図中のバスウインド回路17の構成を第3図に示す。

バスウインド回路17は、ホストバスのアドレスバス/コントロールバス21上の制御信号W0～W3によりそれぞれアドレスを記憶するレジスタ26～29と、レジスタ26～29及びバッファ30～33を制御するレジスタ制御回路34を備えている。尚、制御信号の各記号の上部に付されているバーは、これらの制御信号が負論理であることを示している（以後、各制御信号について同様）。

バッファ30~33は、それぞれレジスタ制御回路34からの制御信号SEL0~SEL3によりアドレスをデータバス25に出力するように構成されている。

第3図に示す実施例では、512キロバイト(KB)(アドレス「80000H」~「FFFFFFH」)のメモリエリアに128KB単位のメモリウインドを設け、このメモリウインドを介して通信ボード2B内の任意のバッファアドレスを示している。

メインCPUボード1BのメインCPUは、インプット/アウトプット(以後、I/Oと称する)マップに割り当てられているレジスタ26~29にバッファ先頭アドレスを書き込み、512KB~1メガバイト(MB)のエリアがアクセスされたときに、レジスタ26~29のラッチデータをアドレスとして通信ボード2Bのアドレスバス/コントロールバス24に出力する。尚、レジスタ制御回路34には、高速通信バスウインド制御装置を用いないときのために、バスウインド禁止レジスタが設け

られている。

以下、バスウインド回路17における各制御信号がアクティブになる条件を説明する。

制御信号W0~W3は、ホストバスのアドレスバス/コントロールバス21からI/Oライトアクセスがあり、アドレスがそれぞれレジスタ26~29に該当するときにアクティブになる。

制御信号SEL0は、ホストバスからI/Oリードアクセスがあり、アドレスがそれぞれレジスタ26~29に該当するときにアクティブになる。そして、該当するレジスタからデータを選択し、制御信号SEL1との連動でデータバス25に出力する(これによりレジスタに書かれたアドレスを読むことができる)。また、通常のメモリアクセスで512KB以上をアクセスした場合、制御信号SEL2との連動で、レジスタ26~29内のアドレスを通信ボード2Bのアドレスバス/コントロールバス24に出力する。

制御信号SEL1は、ホストバスからのI/Oアクセスでレジスタ26~29のいずれかのアドレス

にI/Oリード要求があるときアクティブになる。

制御信号SEL2は、ホストバスから512KB~1MBのメモリアクセスがあり、レジスタ制御回路34内のレジスタがバスウインド禁止状態になっていないときにアクティブになる。

制御信号SEL3は、レジスタ制御回路34内のレジスタがバスウインド禁止状態になっておらず、ホストバスから512KB~1MBのメモリアクセスがあったときにアクティブになる。

次に、本実施例における高速通信バスウインド制御装置による階層間のデータの受け渡しを第4図に示す。

第4図において、 $n$ を正の整数として、第 $n$ 層のデータ41は、第 $(n-1)$ 層のヘッダ42が付加されて $(n-1)$ 層43に受け渡され、更に、受け渡されたデータに対し、第 $(n-2)$ 層のヘッダ44が付加されて $(n-2)$ 層45に受け渡される。

第5図(a)は、第4図の高速通信バスウインド制御方法における物理構造を示し、第5図(b)は、第5図(a)の物理構造に含まれており、次

の上位層のポイント46と、各層のデータ格納ポイント47と、データ(ヘッダ)長を記憶する領域としてのエリア48とを有するテーブル手段としての管理ディスクリプタテーブルDTを示す。

次に、物理構造は、まず、アドレス $A_n$ から書き込まれる長さ $DL_n$ の第 $n$ 層のデータ49を備えている。以下、上位層から順次、アドレス $A_{n-1}$ から書き込まれる長さ $DL_{n-1}$ の第 $(n-1)$ 層のヘッダ50、アドレス $A_{n-2}$ から書き込まれる長さ $DL_{n-2}$ の第 $(n-2)$ 層のヘッダ51等により構成されている。

更に、物理構造は、アドレス $DT_n$ から書き込まれる次の第 $(n+1)$ 層のポイント $DT_{n+1}$ 、第 $n$ 層のデータ格納ポイント $A_n$ 、第 $n$ 層のデータ長 $DL_n$ を含んでおり、そして上位層から順次、アドレス $DT_{n-1}$ から書き込まれる次の第 $n$ 層のポイント $DT_n$ 、第 $(n-1)$ 層のデータ格納ポイント $A_{n-1}$ 、データ長 $DL_{n-1}$ 、アドレス $DT_{n-2}$ から書き込まれる次の第 $(n-1)$ 層のポイント $DT_{n-1}$ 、第 $(n-2)$ 層のデータ格納ポイ

ンタAa-2、データ長DL等により構成された管理ディスクリプタテーブルDTを備えている。

第6図は、データリンク層からアプリケーション層までの間の各層の構成を示す。

第6図(a)に示すデータリンク層ヘッダ52においては、次のネットワーク層ヘッダ53へのポインタNP (Next Pointer) と、データリンク層ヘッダ52のデータ格納ポインタDPと、データ長DLとが作成される。第6図(b)に示すネットワーク層ヘッダ53においては、次のトランスポート層ヘッダ54へのポインタNPと、ネットワーク層ヘッダ53のデータ格納ポインタDPと、データ長DLとが作成される。

第6図(c)に示すトランスポート層ヘッダ54においては、次のセッション層ヘッダ55へのポインタNPと、トランスポート層ヘッダ54のデータ格納ポインタDPと、データ長DLとが作成される。第6図(d)に示すセッション層ヘッダ55においては、次のプレゼンテーション層ヘッダ56へのポインタNPと、セッション層ヘッダ55のデー

タ格納ポインタDPと、データ長DLとが作成される。

第6図(e)に示すプレゼンテーション層ヘッダ56においては、次のアプリケーション層データ51へのポインタNPと、プレゼンテーション層ヘッダ56のデータ格納ポインタDPと、データ長DLとが作成される。また、第6図(f)に示すのアプリケーション層データ51では、パケット毎にそれぞれ、データ格納エリアの最後のポインタFFFFHと、アプリケーション層データ51のデータ格納ポインタDP1~DP3と、データ長DL1~DL3とが作成される。

第7図は、第6図(f)に示すアプリケーション層データ51への第6図(e)に示すプレゼンテーション層ヘッダ56におけるポインタを示し、各パケットのデータポインタがデータポインタ管理テーブル58により管理されている。

したがって、本記実施例によれば、各層毎に上位層のポインタNPを書き換えるのみで実際のパケットが作成され、また、各層のデータとヘッダ

とは、管理ディスクリプタテーブルによりその連結状態と実態とを個別に管理することができる。

第8図(a)及び第8図(b)は、送信時の管理ディスクリプタテーブルDTの作成プロセスを示す。第8図(a)において、先ずデータ格納エリアの先頭ポインタをアプリケーションから取得し(ステップS1)、データ格納ポインタDPをパケットごとに求めて管理ディスクリプタテーブルDTを作成し(ステップS2)、このデータ格納ポインタDPによりデータポインタ管理テーブル58を作成する(ステップS3)。

続く各層の処理(ステップS4)は、そのプロトコルに応じて異なるが、第8図(b)に示すように、基本的に同一のヘッダ、同一の処理であれば、あえてヘッダを作成せず、単にデータ格納ポインタDPの次の上位層のポインタNPを管理ディスクリプタテーブルDTに記入するだけで次の下位層に進む(ステップS41、S41、S45)。

大容量の分割パケットを送信する場合には、上述の処理を行って、アプリケーション層のデータ

のみを分割する。

他方、同一のヘッダ、同一の処理でない場合には、そのプロトコル処理とヘッダ作成との処理を行い(ステップS43)、ヘッダ情報を管理ディスクリプタテーブルDTに記入し(ステップS44)、次の下位層に進む(ステップS45)。

各層の処理(ステップS4)が終了すると、再び、第5図(a)にもどって、送信用パケットの準備が完了し、全データを送信する(ステップS5~S7)ので、従来の階層毎の処理より高速で処理することができる。

第9図は、上記送信パケットを伝送媒体に送信する手順を示し、通信LSIまたはハードウェアから送信要求が発生すると、管理ディスクリプタテーブルDTの各層のエリアをチェインしてパケット送信を行い(ステップS8)、次のパケットは、データポインタ管理テーブル58を参照し(ステップS11)、管理ディスクリプタテーブルDTの上位層のポインタNPを書き換えるのみである(ステップS12)。

第10図(a)及び第10図(b)は、受信時のディスクリプタテーブル作成のプロセルを示す。

第10図(a)に示すように、送信の場合と同様に、先ずデータ格納エリアの先頭ポインタをアプリケーションから取得し(ステップS13)、データポインタ管理テーブル58を準備し(ステップS14)、次いで、パケットを受信すると(ステップS15)、各層の処理に移行する(ステップS16、第10図(b)のステップS161~S165)。

各層の処理は、受信の場合と同様に、基本的に同一のヘッダ、同一の処理であれば、あえてヘッダを作成せず、単にデータ格納ポインタDPの次の層へのポインタNPを管理ディスクリプタテーブルDTに記入するだけで次の上位層に進む(ステップS161、S162、S165)。

また、同一のヘッダ、同一の処理でない場合には、そのプロトコル処理とヘッダ作成との処理を行い(ステップS163)、ヘッダ情報を管理ディスクリプタテーブルDTに記入し(ステップS164)、次の上位層に進む(ステップS165)。

テリジェントボードシステム及び第13図に示す通信用LSIがデータリンク層までをサポートし、メインCPUがその上位層を処理するノンインテリジェントボードシステムにおいても処理を行うことができる。

第12図に示すインテリジェントボードシステムでは、上位プロトコル層の内のアプリケーション層、プレゼンテーション層及びセッション層は、ウシブルメイントランスファプロトコル(SMTP)、ファイルトランスファプロトコル(FTP)、テルネット(TELNET)を含むインテリジェントボードシステムの部分に分担され、トランスポート層、ネットワーク層及びデータリンク層は、伝送制御プロトコル(TCP)、インターネットプロトコル(IP)、ユーザデータグラムプロトコル(UDP)、アドレスレゾリューションプロトコル(ARP)及びインターネットコントロールメッセージプロトコル(ICMP)を含むインテリジェントボードシステムの部分に分担されている。また、第13図に示すノンインテリジ

各層の処理(ステップS16)が終了すると、第10図(a)にもどって、パケットの受信準備が完了し、全データを受信することができる(ステップS17、S18)。

第11図は、パケットを伝送媒体から受信する手順を示し、通信LSIまたはハードウェアから受信割りこみが発生すると、パケットデータからヘッダ部を切り出して各層のヘッダ格納エリアに格納し(ステップS19)、データ部をデータ格納エリアに格納して管理ディスクリプタテーブルDTを作成し(ステップS20)、通信エラーの発生をチェックし(ステップS21)、通信エラーの発生が無いときは、データポインタ管理テーブル58に記入する(ステップS22)。また、通信エラーの発生があれば、エラー処理をして(ステップS23)リターンを行なう。

本実施例によれば、階層間の無駄なデータのコピーを減少させて、高速で通信処理を行うことができ、第12図に示す所定の階層までのネットワークプロトコルが別のプロセッサで処理されるイン

テントボードシステムでは、上位プロトコル層の内のアプリケーション層からネットワーク層までの各層は、ノンインテリジェントボードシステムのホスト・サポート領域で分担され、データリンク層はノンインテリジェントボードシステムのLANボードで分担されている。

#### [発明の効果]

階層化されたネットワークアーキテクチャの各層のプロトコルを作成する高速通信バスウィンド制御装置であって、複数の領域から構成されており当該各領域に第1アドレス群から各特定のアドレスを順次書き込むことができる第1メモリマップと、複数の領域から構成されており当該各領域に第2アドレス群から各特定のアドレスを順次書き込むことができる第2メモリマップと、該第2メモリマップの特定の領域を該第1メモリマップの特定の領域にマッピングしてデータの先頭を示すアドレスポインタを受け渡すバスウィンド回路とを備えているので、伝送路に送出されるデータ量の実行伝送効率を向上することができ、通信ま

での処理時間を短縮することができる。

第 1 表

レベル 7	アプリケーションプロトコル (利用者レベルでアプリケーションに依存したサービスと手続)
レベル 6	プレゼンテーションプロトコル (データ形式、コード、表現の変換と暗号化)
レベル 5	セッションプロトコル (プロセス間の対話、セグメント化、バッファリング等の制御)
レベル 4	トランスポートプロトコル (エンドーエンド間の制御、メッセージの分解、組み立て、優先度の制御)
レベル 3	ネットワークプロトコル (ネットワークの管理、ブロックやバスケットの構成メッセージの形式)
レベル 2	リンクプロトコル (データフローの初期化、制御、停止、エラー回復)
レベル 1	フィジカルプロトコル (電気的なインタフェース)

#### 4. 図面の簡単な説明

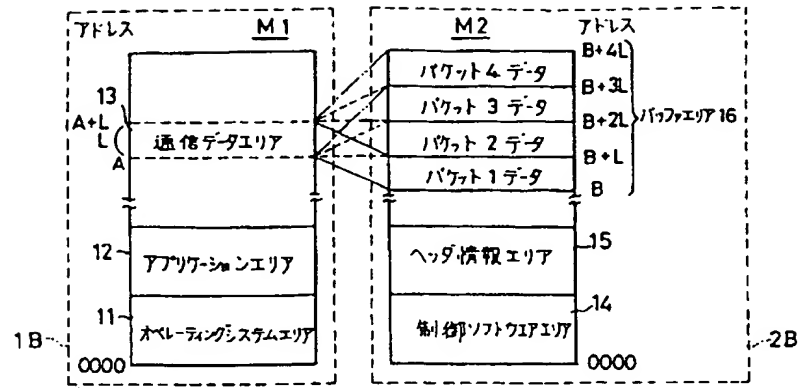
第1図は、本発明の一実施例に係る高速通信バスウインド制御方法におけるメインCPUボードのメモリマップ及び通信ボードのメモリマップの構成を示す図、第2図は、第1図の通信ボードを示すブロック図、第3図は、第2図のバスウインド回路を示すブロック図、第4図は、本実施例の高速通信バスウインド制御装置における階層間のデータの受け渡しを示す説明図、第5図(a)は、第4図の高速通信バスウインド制御装置における実際の物理構造を示す説明図、第5図(b)は、第5図(a)の物理構造に含まれている管理ディスクリプタテーブルを示す説明図、第6図は、データリンク層ヘッダからアプリケーション層ヘッダまでの各層のディスクリプタテーブルを示す説明図、第7図は、プレゼンテーション層ヘッダにおける次のアプリケーション層ヘッダへのポインタを示す説明図、第8図及び第9図は、送信時の動作を示すフローチャート、第10図及び第11図は、受信時の動作を示すフローチャート、第12図及び

第13図はそれぞれ、本発明の高速通信バスウインド制御装置が適用されるハードウェアを示す説明図、第14図は、従来の送信局と受信局の動作を示す説明図である。

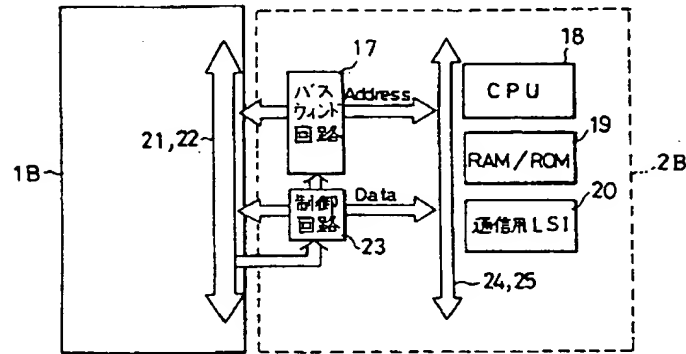
1B…メインCPUボード、2B…通信ボード、M1、M2…メモリマップ、11…オペレーティングシステムエリア、12…アプリケーションエリア、13…通信データエリア、14…制御ソフトウェアエリア、15…ヘッダ情報エリア、16…バッファエリア、17…バスウインド回路。

出願人 (504) シャープ株式会社  
代理人 弁理士 川 口 義 雄  
代理人 弁理士 中 村 至  
代理人 弁理士 船 山 武

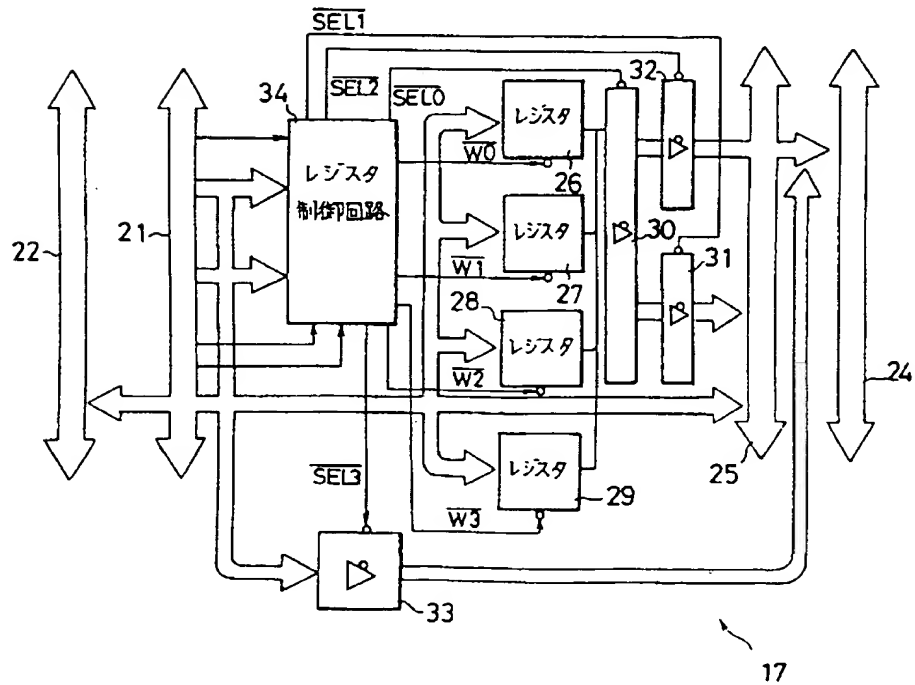




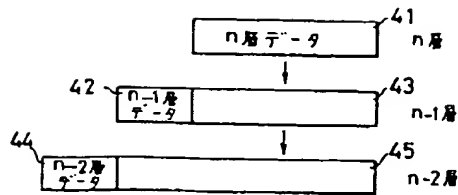
第 1 図



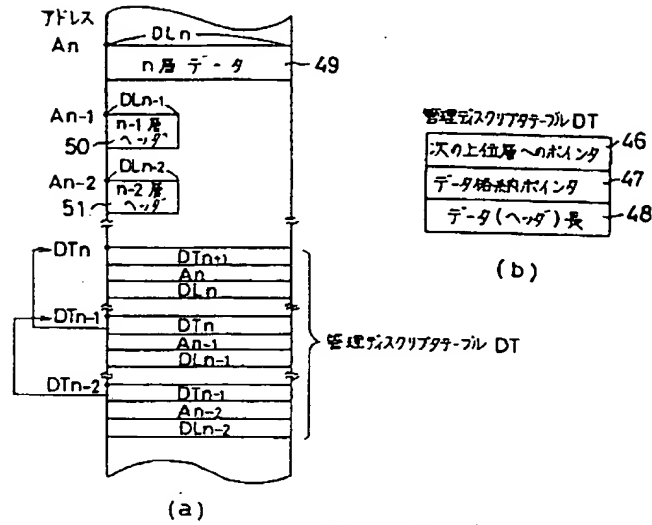
第 2 図



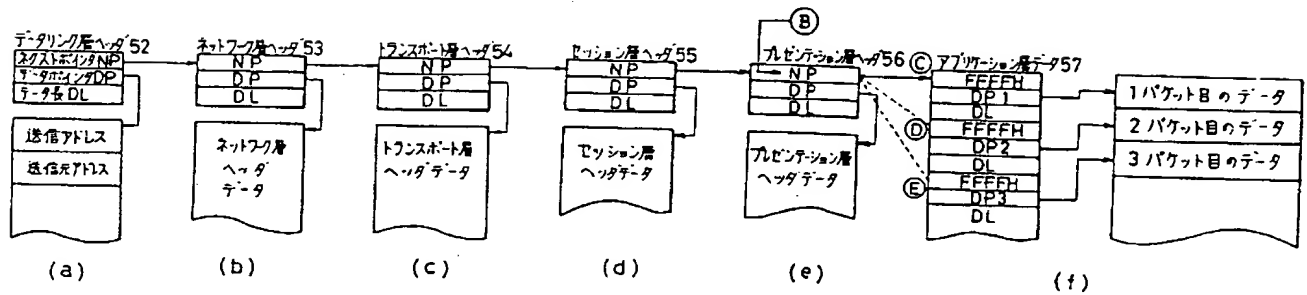
第 3 図



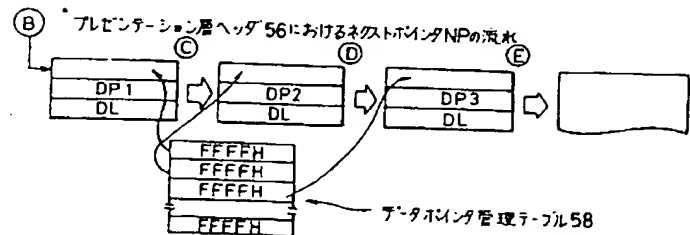
第 4 図



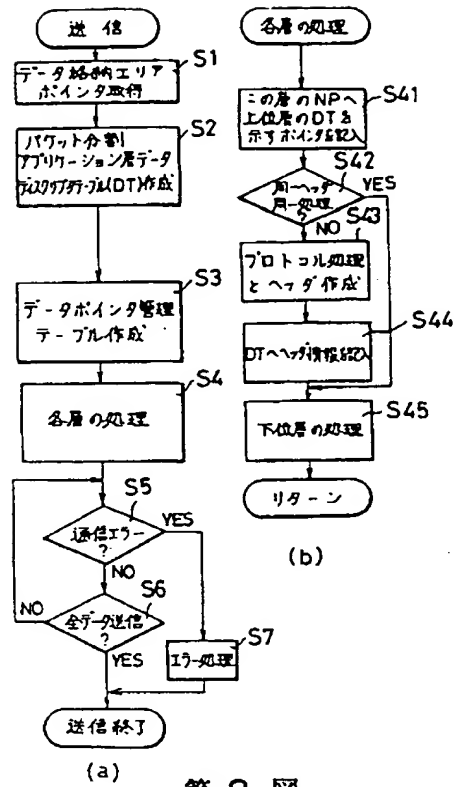
第 5 図



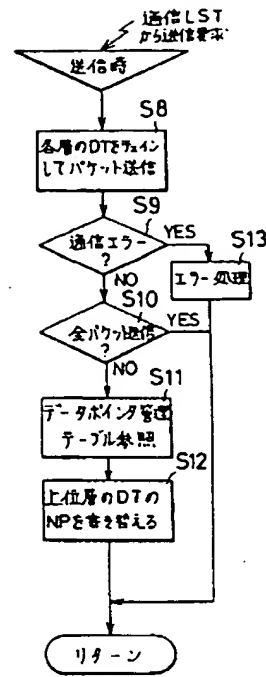
第 6 図



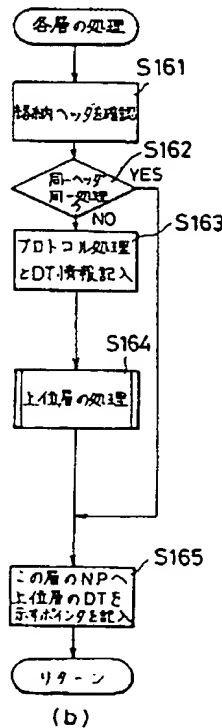
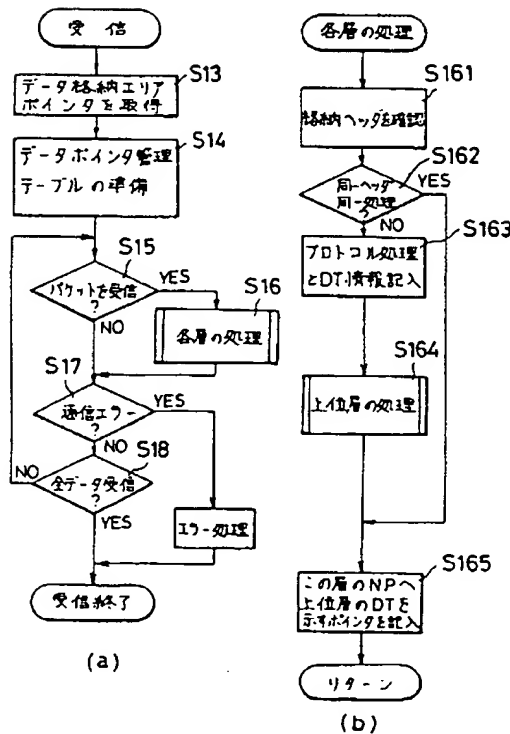
第 7 図



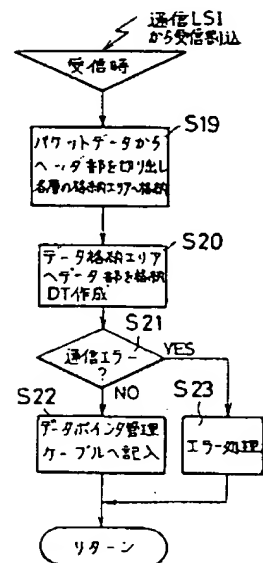
第 8 図



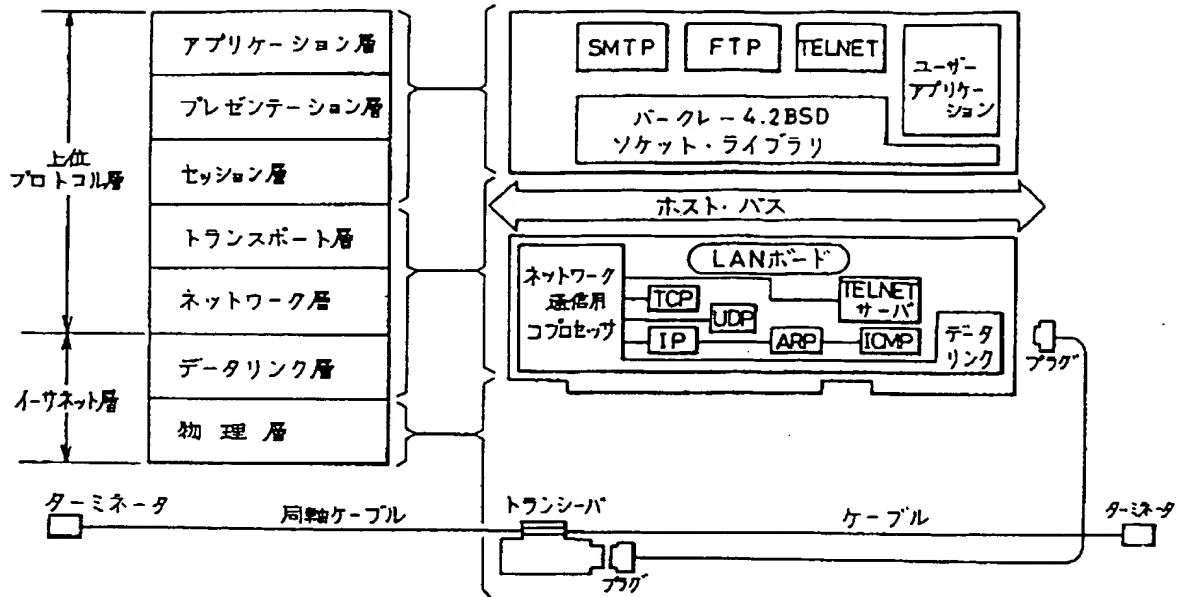
第 9 図



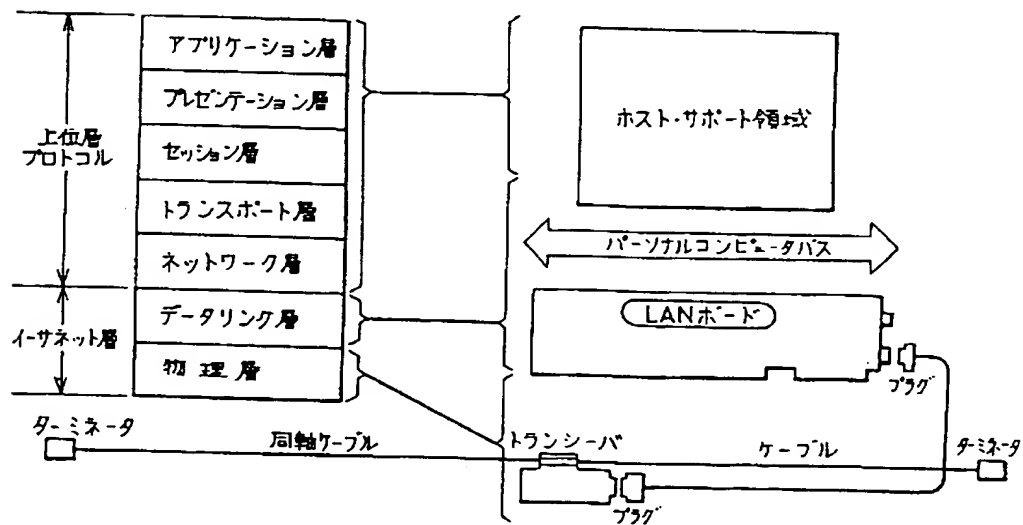
第 10 図



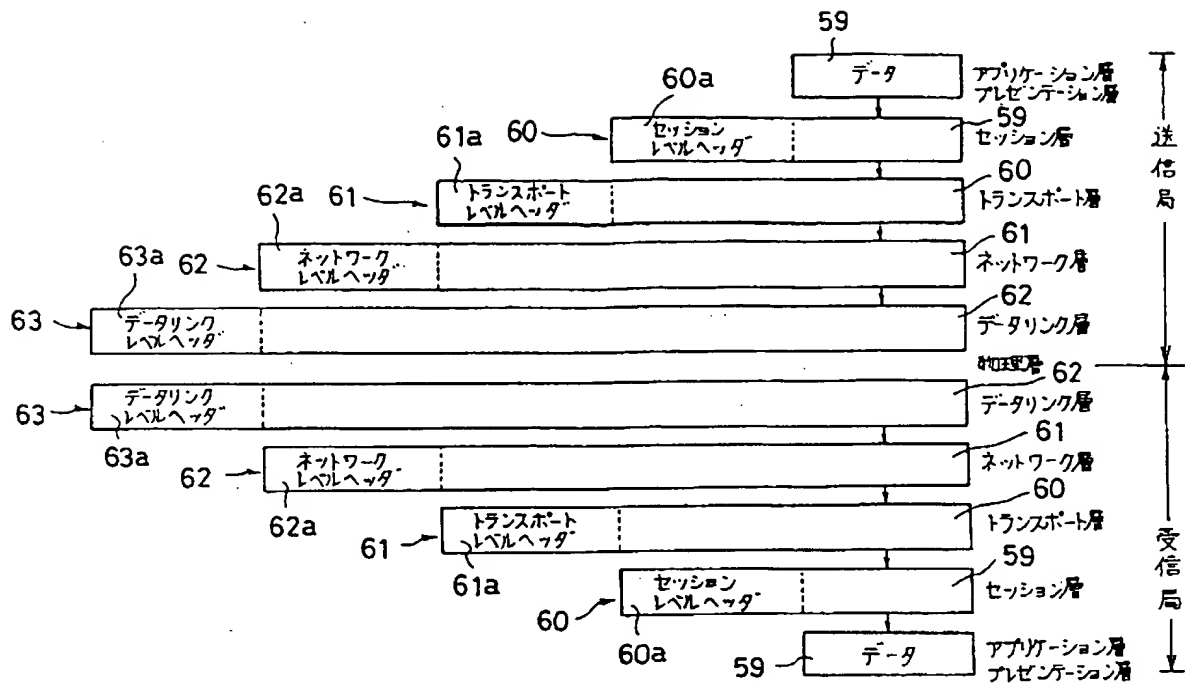
第 11 図



第12図



第13図



第14図